

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11136643 A

(43) Date of publication of application: 21 . 05 . 99

(51) Int. Cl

H04N 7/01

(21) Application number: 09294472

(71) Applicant: CANON INC

(22) Date of filing: 27 . 10 . 97

(72) Inventor: KURIOKA YOSHIAKI
SAKASHITA YUKIHIKO

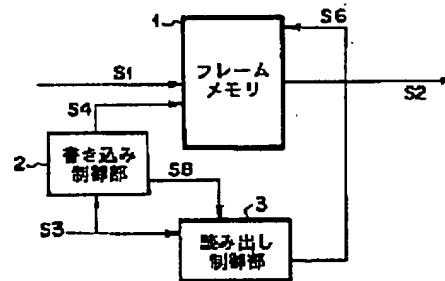
(54) VIDEO SIGNAL SCANNING CORRECTION
CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a video signal processing circuit that doubles a frame rate by outputting the same frame of a video signal twice at a double speed regardless of a small memory capacity.

SOLUTION: The processing circuit is provided with a frame memory 1 that writes/reads video data asynchronously with each other within a time equivalent to each frame of a video input signal of an image display device, a write control section 2 to control write of video data by one frame to the frame memory, and a read control section 3 that controls read of video data by one frame, the video data by one frame are stored in the frame memory 1, the write control section 2 writes video data once within a time equivalent to each frame of the video input signal and the read control section 3 controls read of data to read twice the same video data in the frame memory.

COPYRIGHT: (C)1999,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-136643

(43)公開日 平成11年(1999)5月21日

(51)Int.Cl.⁶

H 04 N 7/01

識別記号

F I

H 04 N 7/01

G

審査請求 未請求 請求項の数 7 O.L (全 8 頁)

(21)出願番号 特願平9-294472

(22)出願日 平成9年(1997)10月27日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者

栗岡 善昭

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者

坂下 幸彦

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74)代理人

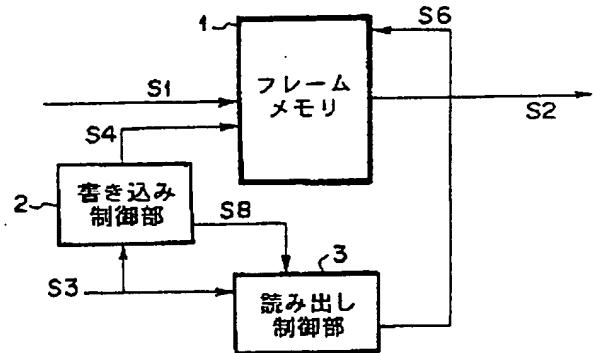
弁理士 山下 穂平

(54)【発明の名称】 映像信号走査変換回路

(57)【要約】

【課題】 少ないメモリ容量で、映像信号の同一フレームを2倍速で2度出力することによりフレームレートを2倍にする映像信号処理回路を提供する。

【解決手段】 画像表示装置の映像入力信号の各々1フレームに相当する時間内に映像データを非同期に書き込みと読み出しが可能なフレームメモリと、フレームメモリに対する、1フレーム分の映像データの書き込みを制御するための書き込み制御部と、1フレーム分の映像データの読み出しを制御する読み出し制御部と、を備え、フレームメモリは1フレーム分の映像データが格納でき、書き込み制御部は、映像入力信号の各々1フレームに相当する時間内に映像データの書き込みを1度行い、読み出し制御部は、フレームメモリ内の同一の映像データを2回読み出すようデータの読み出しを制御する。



(2)

1

【特許請求の範囲】

【請求項1】 画像表示装置の映像入力信号の各々1フレームに相当する時間内に映像データを非同期に書き込みと読み出しが可能なフレームメモリと、前記フレームメモリに対する、1フレーム分の前記映像データの書き込みを制御するための書き込み制御部と、1フレーム分の前記映像データの読み出しを制御する読み出し制御部と、を備え、

前記フレームメモリは1フレーム分の前記映像データが格納でき、

前記書き込み制御部は、映像入力信号の各々1フレームに相当する時間内に前記映像データの書き込みを1度行い、前記読み出し制御部は、前記フレームメモリ内の同一の前記映像データを2回読み出すようデータの読み出しを制御することを特徴とする映像信号走査変換回路。

【請求項2】 液晶表示装置の映像入力信号の各々1フレームに相当する時間内に映像データを非同期に書き込みと読み出しが可能なフレームメモリと、

前記フレームメモリに対する、1フレーム分の前記映像データの書き込みを制御するための書き込み制御部と、1フレーム分の前記映像データの読み出しを制御する読み出し制御部と、を備え、

前記フレームメモリは1フレーム分の前記映像データが格納でき、

前記書き込み制御部は、映像入力信号の各々1フレームに相当する時間内に前記映像データの書き込みを1度行い、前記読み出し制御部は、前記フレームメモリ内の同一の前記映像データを2回読み出すようデータの読み出しを制御することを特徴とする映像信号走査変換回路。

【請求項3】 フレーム反転を有する液晶表示装置の映像入力信号の各々1フレームに相当する時間内に映像データを非同期に書き込みと読み出しが可能なフレームメモリと、

前記フレームメモリに対する、1フレーム分の前記映像データの書き込みを制御するための書き込み制御部と、1フレーム分の前記映像データの読み出しを制御する読み出し制御部と、を備え、

前記フレームメモリは1フレーム分の前記映像データが格納でき、

前記書き込み制御部は、映像入力信号の各々1フレームに相当する時間内に前記映像データの書き込みを1度行い、前記読み出し制御部は、前記フレームメモリ内の同一の前記映像データを2回読み出すようデータの読み出しを制御することを特徴とする映像信号走査変換回路。

【請求項4】 入力される映像信号の各フレームから、各々1フレーム分に相当する時間内に同じフレームを2回以上連続させる形態の映像信号を順次生成して出力す

る映像信号走査変換回路であって、前記読み出し制御部における1フレームの前記映像情報の第一回目の読み出しは、

前記書き込み制御部により前記フレームメモリに少なくとも1フレームの前記映像情報の2分の1が書き込まれた後に開始し、前記書き込み制御部により前記フレームメモリに1フレームの前記映像情報の全てが書き込まれた後に終了し、

1フレームの前記映像情報の第2回目の読み出し開始は第1回目の読み出し終了後から前記フレームメモリに次の1フレームの前記映像情報が書き込まれる前までの期間に行われることを特徴とする映像信号走査変換回路。

【請求項5】 入力される映像信号の各フレームから、各々1フレーム分に相当する時間内に同じフレームを2回連続させる形態の映像信号を順次生成して出力する映像信号走査変換回路であって、

前記書き込み制御部により前記フレームメモリに少なくとも1フレームの前記映像情報の2分の1が書き込まれた後に開始し、前記書き込み制御部により前記フレームメモリに1フレームの前記映像情報の全てが書き込まれた後に終了し、

前記読み出し制御部における1フレームのデータの第一回目の読み出しは、前記書き込み制御部により前記フレームメモリに少なくとも1フレームの前記映像情報の2分の1が書き込まれた後に開始し、1フレームの前記映像情報の全てが書き込まれた後に終了し、

1フレームの前記映像情報の第2回目の読み出し開始は第1回目の読み出し終了後から前記フレームメモリに次の1フレームの前記映像情報が書き込まれる前までの期間に行われることを特徴とする映像信号走査変換回路。

【請求項6】 請求項5に記載の映像信号走査変換回路において、前記読み出し制御部による読み出し速度は、前記書き込み制御部による書き込み速度の2倍であることを特徴とする映像信号走査変換回路。

【請求項7】 映像信号の任意の走査線の書き込みと読み出しを同時に実行する1フレームの容量を具備するフレームメモリと、

前記書き込み制御部により前記フレームメモリに書

き込む書き込み制御手段と、前記書き込み制御手段の動作タイミングに基づき、同一フレームの全走査線を前記フレームメモリから2倍の速度で過不足なく2回前記映像信号を読み出すように読み出しタイミングを調整して読み出し手段と、を備えることを特徴とする映像信号走査変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、映像信号走査変換回路に関するものである。

【0002】

【従来の技術】従来、液晶表示装置の映像データは、フレームメモリに書き込まれて、その後、所望のタイミングで読み出されるようになっている。この場合、フリッカによる低画質化を減少させるために、例えば特開平05-257879号公報に記載の発明のように映像信号走査変換回路に入力される映像入力信号の1垂直同期期間中に、フレームメモリに対して、1フレーム分の映像信号の書き込みを1回、読み出しを2回行って、映像入力信号の同一フレームを2回を表示している。図6の従来例では、この方法を実現するために、書き込み制御部2は、垂直同期信号S3の入力に応答して、書き込み制御信号S41, S42をそれぞれフレームメモリ11, 12に出力してフレームメモリへの映像情報の書き込みを制御し、フレームメモリ11, 12は映像入力信号S1の同一フレームの映像情報を格納し、読み出し制御部3は、格納された同一の映像情報を映像入力信号S1の垂直同期期間中、垂直同期期間の2分の1の期間でフレームメモリ11の映像情報の読み出しを開始するために読み出し制御部3の内部で生成され出力される読み出し開始制御信号を発して、フレームメモリ11へ読み出し制御信号S61を出力するとともに映像情報がフレームメモリ11から映像情報が出力されるようにスイッチ制御信号をスイッチ4へ出力して、フレームメモリ11はスイッチ4を通じて映像出力信号S2を出力し、後の2分の1の期間でフレームメモリ12の映像情報の読み出しを開始するために読み出し制御部3の内部で生成され出力される読み出し開始制御信号を発して、フレームメモリ12へ読み出し制御信号S62を出力するとともに映像情報をフレームメモリ12から映像情報が出力されるようスイッチ制御信号をスイッチ4へ出力して、フレームメモリ12はスイッチ4を通じて映像出力信号S2を出力する。

【0003】つまり、従来の映像信号走査変換回路では、フリッカを抑制するために必要なフレームメモリの容量が2フレーム分の容量である。

【0004】

【発明が解決しようとする課題】上記の従来例では、1フレーム分の映像データを表示させるために、2フレーム分の容量のフレームメモリを必要とし、画像を出力す

るためのメモリ容量が余分であるために、メモリのコスト増、ボード作成上のメモリの占有面積の増大を招いていた。

【0005】そこで本発明は、少ないメモリ容量で、映像信号の同一フレームを2倍速で2度出力することによりフレームレートを2倍にする映像信号走査変換回路を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明による画像表示装置の映像入力信号の各々1フレームに相当する時間内に映像データを非同期に書き込みと読み出しが可能なフレームメモリと、前記フレームメモリに対する、1フレーム分の前記映像データの書き込みを制御するための書き込み制御部と、1フレーム分の前記映像データの読み出しを制御する読み出し制御部と、を備え、前記フレームメモリは1フレーム分の前記映像データが格納でき、前記書き込み制御部は、映像入力信号の各々1フレームに相当する時間内に前記映像データの書き込みを1度行い、前記読み出し制御部は、前記フレームメモリ内の同一の前記映像データを2回読み出すようデータの読み出しを制御することを特徴とする。

【0007】また、本発明による映像信号走査変換回路は、液晶表示装置の映像入力信号の各々1フレームに相当する時間内に映像データを非同期に書き込みと読み出しが可能なフレームメモリと、前記フレームメモリに対する、1フレーム分の前記映像データの書き込みを制御するための書き込み制御部と、1フレーム分の前記映像データの読み出しを制御する読み出し制御部と、を備え、前記フレームメモリは1フレーム分の前記映像データが格納でき、前記書き込み制御部は、映像入力信号の各々1フレームに相当する時間内に前記映像データの書き込みを1度行い、前記読み出し制御部は、前記フレームメモリ内の同一の前記映像データを2回読み出すようデータの読み出しを制御することを特徴とする。

【0008】更に、本発明による映像信号走査変換回路は、フレーム反転を有する液晶表示装置の映像入力信号の各々1フレームに相当する時間内に映像データを非同期に書き込みと読み出しが可能なフレームメモリと、前記フレームメモリに対する、1フレーム分の前記映像データの書き込みを制御するための書き込み制御部と、1フレーム分の前記映像データの読み出しを制御する読み出し制御部と、を備え、前記フレームメモリは1フレーム分の前記映像データが格納でき、前記書き込み制御部は、映像入力信号の各々1フレームに相当する時間内に前記映像データの書き込みを1度行い、前記読み出し制御部は、前記フレームメモリ内の同一の前記映像データを2回読み出すようデータの読み出しを制御することを特徴とする。

【0009】更に、本発明による映像信号走査変換回路は、入力される映像信号の各フレームから、各々1フレ

ーム分に相当する時間内に同じフレームを2回以上連続させる形態の映像信号を順次生成して出力する映像信号走査変換回路であって、入力される映像情報の少なくとも1フレーム分の映像情報を書き込み可能な容量を有するフレームメモリと、前記フレームメモリに対して前記入力映像情報の書き込み制御するための書き込み制御部と、前記フレームメモリに対して入力される前記映像情報の各々1フレーム分に相当する時間内に2回以上連続して前記映像情報を読み出す読み出し制御部と、を備え、前記読み出し制御部における1フレームの前記映像情報の第一回目の読み出しは、前記書き込み制御部により前記フレームメモリに少なくとも1フレームの前記映像情報の2分の1が書き込まれた後に開始し、前記書き込み制御部により前記フレームメモリに1フレームの前記映像情報の全てが書き込まれた後に終了し、1フレームの前記映像情報の第2回目の読み出し開始は第1回目の読み出し終了後から前記フレームメモリに次の1フレームの前記映像情報が書き込まれる前までの期間に行われることを特徴とする。

【0010】更に、本発明による映像信号走査変換回路は、入力される映像信号の各フレームから、各々1フレーム分に相当する時間内に同じフレームを2回連続させる形態の映像信号を順次生成して出力する映像信号走査変換回路であって、入力される映像情報の少なくとも1フレーム分の映像情報を書き込み可能な容量を有するフレームメモリと、前記フレームメモリに対して入力映像情報の書き込みを制御するための書き込み制御部と、前記フレームメモリに対して入力される前記映像情報の各々1フレーム分に相当する時間内に2回連続して前記映像情報を読み出す読み出し制御部と、を備え、前記読み出し制御部における1フレームのデータの第一回目の読み出しは、前記書き込み制御部により前記フレームメモリに少なくとも1フレームの前記映像情報の2分の1が書き込まれた後に開始し、1フレームの前記映像情報の全てが書き込まれた後に終了し、1フレームの前記映像情報の第2回目の読み出し開始は第1回目の読み出し終了後から前記フレームメモリに次の1フレームの前記映像情報が書き込まれる前までの期間に行われることを特徴とする。

【0011】更に、本発明による映像信号走査変換回路は、上記の映像信号走査変換回路において、前記読み出し制御部による読み出し速度は、前記書き込み制御部による書き込み速度の2倍であることを特徴とする。

【0012】本発明による映像信号走査変換回路は、映像信号の任意の走査線の書き込みと読み出しを同時に実行する1フレームの容量を具備するフレームメモリと、入力されてきた前記映像信号を前記フレームメモリに書き込む書き込み制御手段と、前記書き込み制御手段の動作タイミングに基づき、同一フレームの全走査線を前記フレームメモリから2倍の速度で過不足なく2回前記映像

信号を読み出すように読み出しタイミングを調整して読み出し手段と、を備えることを特徴とする。

【0013】【作用】従来の2フレーム分のフレームメモリを、非同期に読み出し書き込みをする单一のフレームメモリに置き換え、読み出しを制御することで、フレームメモリ容量を半減化する。

【0014】

【発明の実施の形態】

【実施形態1】以下、実施形態1を図面を参照して説明する。

【0015】図1は実施形態1に関わる映像信号走査変換回路の回路図である。

【0016】図2は図1に示される回路の動作説明に供するタイミングチャートである。

【0017】これらの図において、従来例の映像信号走査変換回路を構成する部分と同一の部分については同一の符号を付して重複する説明は省略する。

【0018】本実施形態において従来例と異なる構成は次の通りである。

【0019】本実施形態の映像信号走査変換回路は、1フレーム分の映像情報を書き込め、映像信号の書き込みと非同期に読み出しが可能なフレームメモリ1と、フレームメモリ1に対して映像入力信号の書き込みを制御するための書き込み制御部2と書き込み速度の2倍の速度で、フレームメモリ1への書き込みが開始されてから特定の時間後に、フレームメモリ1から映像情報の読み出しを制御できる読み出し制御部3を設けたことを特徴としている。

【0020】図1を参照して説明すると、書き込み制御部2は、垂直同期信号S3の入力に応答してフレームメモリ1へ書き込み制御信号S4を出力し、1フレーム分の映像入力信号S1のフレームメモリ1への書き込みを制御する。

【0021】フレームメモリ1は、書き込み制御信号S4の入力に応答して、映像入力信号S1の映像情報を格納する。

【0022】読み出し制御部3は、垂直同期信号S3と書き込み制御部2からの制御信号S8の入力に応答して、映像入力信号S1の1垂直同期期間T1に同一フレームの映像情報を2回読み出すために読み出し制御信号S6を出力する。フレームメモリ1は、読み出し制御信号S6の入力に応答して、フレームメモリ1に格納されている映像情報を取り出し、映像出力信号S2を出力する。

【0023】次に、図2に示されるタイミングチャートを参照してその動作を説明する。

【0024】まず、書き込み制御部2は、映像入力信号の垂直同期信号S3の入力に応答して、フレームAの映像情報の書き込みを制御するために、フレームメモリ1に書き込み制御信号S4を出力する。フレームメモリ1

は、書き込み制御信号S4の入力に応答してフレームAの映像情報を格納する。読み出し制御部3は、垂直同期信号S3と書き込み制御部2からの制御信号S8を受けて、フレームメモリ1に格納されたフレームAの映像情報を出力するために読み出し開始制御信号S5を1フレーム期間中に2回発し、その読み出し開始制御信号S5をもとに、フレームメモリ1へ読み出し制御信号S6を出力して、フレームAの情報を2回読み出す制御を行う。読み出し制御部3が、フレームメモリ1からフレームAの情報を読み出すために、第1回目に読み出し開始制御信号S5を発する期間は、フレームメモリ1へのフレームAの映像情報の書き込みが少なくとも1フレームの情報量の2分の1行われた後の読み出し開始制御信号S6をフレームメモリ1に出力し、第2回目の読み出し開始制御信号S5を発する期間は、フレームBの映像情報がフレームメモリ1に書き込まれる前である読み出し開始制御信号出力可能期間RD2に行われて、フレームメモリ1の映像情報の読み出しを制御する読み出し制御信号S6をフレームメモリ1に出力する。フレームメモリ1は読み出し制御信号S6の入力に応答して映像出力信号S2を出力する。

【0025】つづけて、書き込み制御部2は、映像入力信号の垂直同期信号S3の入力に応答して、フレームBの映像情報の書き込みを制御するために、フレームメモリ1に書き込み制御信号S4を出力する。フレームメモリ1は、書き込み制御信号S4の入力に応答して、フレームBの映像情報を格納する。読み出し制御部3は、垂直同期信号S3と書き込み制御部2からの制御信号S8を受けて、フレームメモリ1に格納されたフレームBの映像情報を出力するために読み出し開始制御信号S5を1フレーム期間中に2回発し、その読み出し開始制御信号S5をもとに、フレームメモリ1へ読み出し制御信号S6を出力して、フレームBの情報を2回読み出す制御を行う。読み出し制御部3が、フレームメモリ1からフレームBの映像情報を読み出すために、第1回目に読み出し開始制御信号S5を発する期間は、フレームメモリ1へのフレームBの映像情報の書き込みが少なくとも1フレームの情報量の2分の1行われた後の読み出し開始制御信号出力可能期間RD3であり、フレームメモリ1に格納された映像情報の読み出しを制御する読み出し制御信号S6をフレームメモリ1に出力し、第2回目の読み出し開始制御信号S5を発する期間は、フレームCの映像情報がフレームメモリ1に書き込まれる前である読み出し開始制御信号出力可能期間RD4に行われて、フレームメモリ1の映像情報の読み出しを制御する読み出し制御信号S6をフレームメモリ1に出力する。フレームメモリ1は読み出し制御信号S6の入力に応答して映像出力信号S2を出力する。

10

20

30

40

【0026】フレームC以降の映像信号についても同様の処理で映像出力信号S2が得られるからその説明は省略する。

【0027】図5にフレームメモリの各アドレスのデータの様子を示す。Aフレームの書き込みのタイミングであるWRITE Aの開始位置P1に対して、Aフレームの1回目の読み出しのタイミングであるREAD A1の開始位置P2を1/2フレーム遅らせることにより、Aフレームのデータを書き込む前に読み出されてしまうことや、Aフレームのデータを2回読み出す前に同一アドレスにBフレームのデータが書き込まれてしまうことが無いことがわかる。仮に、READ A1のタイミングが早すぎれば点P3はWRITE Aの上方に移動し、Aフレームのデータが書き込まれる前に、書き込まれるべきアドレスに残っている前フレームのデータを読み出してしまう。それに対して、本実施形態では、Aフレームの書き込みのタイミングであるWRITE Aの開始位置P1に対して、Aフレームの1回目の読み出しのタイミングであるREAD A1の開始位置P2を1/2フレーム遅らせることにより、これを回避している。仮に、READ A2のタイミングが遅すぎれば、点P4はWRITE Bの下方に移動し、Aフレームのデータが2度読み出される前に、Bフレームのデータが書き込まれてしまい、READ A2の初期部分でBフレームの読み出してしまう。本実施形態では、READ A2のタイミングを遅れすぎないようにすることによりこれを回避している。以上の映像信号走査変換回路の動作により、単一フレームの映像入力信号S1の映像が映像入力信号S1の垂直同期期間内で2度読み出されて、同一の映像情報を持つフレームが映像入力信号S1の垂直同期期間T1で2回繰り返される映像出力信号S2が出力され、画像表示装置は、映像出力信号S2を受けた高周波駆動を行うことで、フリッカが抑制される。

【0028】つまり、本発明の映像信号走査変換回路によれば、読み出し制御部を用いて、特定のタイミングでフレームメモリから映像信号の出力を制御することで、フリッカを抑制でき、メモリの容量を半減化できる効果が得られる。

【0029】[実施形態2]以下、実施形態2を図面を参照して説明する。

【0030】図3は実施形態2に関わる映像信号走査変換回路の回路図である。

【0031】図4は図3に示される回路の動作説明に供するタイミングチャートである。

【0032】これらの図において、従来例の映像信号走査変換回路を構成する部分と同一の部分については同一の符号を付して重複する説明は省略する。

【0033】本実施形態において従来例と異なる構成は次の通りである。

【0034】本実施形態の映像信号走査変換回路は、1フレーム分の映像情報を書き込め、映像信号の書き込み

と非同期に読み出しが可能なフレームメモリ1と、フレームメモリ1に対して映像入力信号の書き込みを制御するための書き込み制御部2と書き込み速度の2倍の速度で、フレームメモリ1への書き込みが開始されてから特定の時間に、フレームメモリ1から映像情報の読み出しを制御できる読み出し制御部3を設けたことを特徴としている。

【0035】図1を参照して説明すると、書き込み制御部2は、垂直同期信号S3の入力に応答してフレームメモリ1へ書き込み制御信号S4を出力し、1フレーム分の映像入力信号S1のフレームメモリ1への書き込みを制御する。

【0036】フレームメモリ1は、書き込み制御信号S4の入力に応答して、映像入力信号S1の映像情報を格納する。

【0037】読み出し制御部3は、垂直同期信号S3と書き込み制御部2からの制御信号S8の入力に応答して、映像入力信号S1の1垂直同期期間T1に同一フレームの映像情報を2回読み出すために読み出し制御信号S6を出力する。フレームメモリ1は、読み出し制御信号S6の入力に応答して、フレームメモリ1に格納されている映像情報を取り出し、映像出力信号S2を出力する。

【0038】次に、図4に示されるタイミングチャートを参照してその動作を説明する。

【0039】まず、書き込み制御部2は、映像入力信号の垂直同期信号S3の入力に応答して、フレームAの映像情報の書き込みを制御するために、フレームメモリ1に書き込み制御信号S4を出力する。フレームメモリ1は、書き込み制御信号S4の入力に応答してフレームAの映像情報を格納する。読み出し制御部3は、垂直同期信号S3と書き込み制御部2からの制御信号S8を受けて、フレームメモリ1に格納されたフレームAの映像情報を出力するために読み出し開始制御信号S5を1フレーム期間中に2回発し、その読み出し開始制御信号S5をもとに、フレームメモリ1へ読み出し制御信号S6を出力して、フレームAの情報を2回読み出す制御を行う。読み出し制御部3が、フレームメモリ1からフレームAの情報を読み出すために、第1回目に読み出し開始制御信号S5を発する期間は、フレームメモリ1へのフレームAの映像情報の書き込みが少なくとも1フレームの情報量の2分の1行われた後の読み出し開始制御信号S5を出力可能期間RD1であり、フレームメモリ1に格納された映像情報の読み出しを制御する読み出し制御信号S6をフレームメモリ1に出力し、第2回目の読み出し開始制御信号S5を発する期間は、フレームCの映像情報がフレームメモリ1に書き込まれる前である読み出し開始制御信号S5を発する期間は、フレームCの映像情報を出力するために、フレームメモリ1へ書き込みされる前である読み出し開始制御信号S5を出力可能期間RD4に行われて、フレームメモリ1の映像情報の読み出しを制御する読み出し制御信号S6をフレームメモリ1に出力する。フレームメモリ1は読み出し制御信号S6の入力に応答して映像出力信号S2を出力する。

【0041】フレームC以降の映像信号についても同様の処理で映像出力信号S2が得られるからその説明は省略する。

【0042】フレームメモリ1から出力された映像出力信号S2はD/A変換器5でアナログ信号に変換される。正転反転駆動回路6は、アナログ信号に変換された映像信号の同一映像情報のフレームを2回読み出したうちの先のフレームを正転し、後のフレームを反転させるという極性が反転した映像信号である液晶表示信号S7を出力する。液晶表示部7は、極性が反転した映像信号である液晶表示信号S7をもとに画像を表示する。

【0043】以上の映像信号走査変換回路の動作により、単一フレームの映像入力信号S1の映像が映像入力信号S1の垂直同期期間内で2度読み出されて、同一の映像情報を持つフレームが映像入力信号S1の垂直同期期間T1で2回繰り返される映像出力信号S2が出力される。映像出力信号S2を入力した画像表示装置は、この入力信号により高周波駆動を行うことで、フリッカが抑制された画像を表示することができる。

【0044】さらに、液晶表示部7はフレーム反転した信号を出力するために、焼き付きの抑制された画像表示

リ1は読み出し制御信号S6の入力に応答して映像出力信号S2を出力する。

【0040】つづけて、書き込み制御部2は、映像入力信号の垂直同期信号S3の入力に応答して、フレームBの映像情報の書き込みを制御するために、フレームメモリ1に書き込み制御信号S4を出力する。フレームメモリ1は、書き込み制御信号S4の入力に応答して、フレームBの映像情報を格納する。読み出し制御部3は、垂直同期信号S3と書き込み制御部2からの制御信号S8を受けて、フレームメモリ1に格納されたフレームBの映像情報を出力するために読み出し開始制御信号S5を1フレーム期間中に2回発し、その読み出し開始制御信号S5をもとに、フレームメモリ1へ読み出し制御信号S6を出力して、フレームBの情報を2回読み出す制御を行う。読み出し制御部3が、フレームメモリ1からフレームBの映像情報を読み出すために、第1回目に読み出し開始制御信号S5を発する期間は、フレームメモリ1へのフレームBの映像情報の書き込みが少なくとも1フレームの情報量の2分の1行われた後の読み出し開始制御信号S5を出力可能期間RD3であり、フレームメモリ1に格納された映像情報の読み出しを制御する読み出し制御信号S6をフレームメモリ1に出力し、第2回目の読み出し開始制御信号S5を発する期間は、フレームCの映像情報がフレームメモリ1に書き込まれる前である読み出し開始制御信号S5を発する期間は、フレームCの映像情報を出力するために、フレームメモリ1へ書き込みされる前である読み出し開始制御信号S5を出力可能期間RD4に行われて、フレームメモリ1の映像情報の読み出しを制御する読み出し制御信号S6をフレームメモリ1に出力する。フレームメモリ1は読み出し制御信号S6の入力に応答して映像出力信号S2を出力する。

が可能となる。

【0045】なお、本実施形態では、正転反転駆動回路6をD/A変換器5の後段に配置して、アナログ映像信号の極性を正転または反転させたが、D/A変換器5の前段に配置して、デジタル信号の極性を正転または反転させても液晶表示部7では同等の画像表示が可能である。

【0046】以上の映像信号走査変換回路の動作により、単一フレームの映像入力信号S1の映像が映像入力信号S1の垂直同期期間内で2度読み出されて、同一の映像情報を持つフレームが映像入力信号S1の垂直同期期間T1で2回繰り返される映像出力信号S2が出力されて、画像表示装置は、映像出力信号S2を受けた高周波駆動を行うことで、フリッカが抑制された画像表示が可能になり、さらに正転反転駆動回路によって映像出力信号の極性を反転させた映像出力信号を得ることで焼き付きの抑制された画像表示が可能となる。

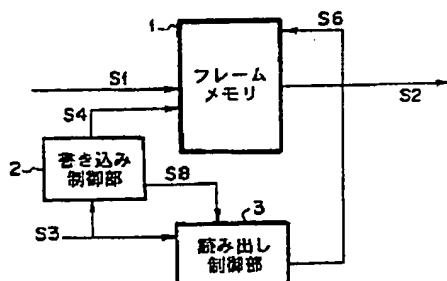
【0047】つまり、本発明の映像信号走査変換回路によれば、読み出し制御部3を用いて、特定のタイミングでフレームメモリから映像信号の出力を制御することで、画面のフリッカを抑制でき、メモリの容量を半減化できる効果が得られ、正転反転回路により焼きつきの抑制された画像表示が可能となる。

【0048】

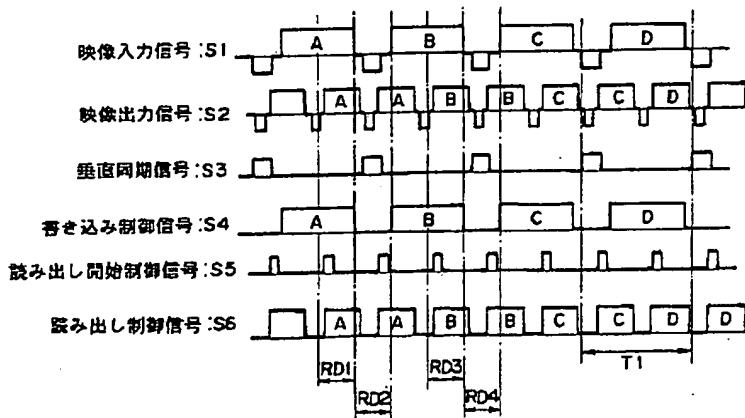
【発明の効果】本発明の映像信号走査変換回路によれば、読み出し制御部を用いて、特定のタイミングでフレームメモリから映像信号の出力を制御することで、画面のフリッカを抑制でき、メモリの容量を半減化できる効果がある。

【図面の簡単な説明】

【図1】



【図2】



【図1】本発明の実施形態1による映像信号走査変換回路の構成を示すブロック図である。

【図2】図1に示される回路の動作説明に供するタイミングチャートである。

【図3】本発明の実施形態2による映像信号走査変換回路の構成を示すブロック図である。

【図4】図3に示される回路の動作説明に供するタイミングチャートである。

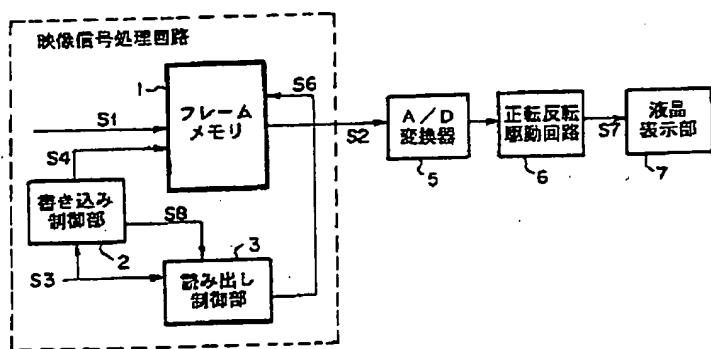
【図5】本発明によるフレームメモリの各アドレスのデータの時間的変化を示す図である。

【図6】従来例による映像信号走査変換回路の構成を示すブロック図である。

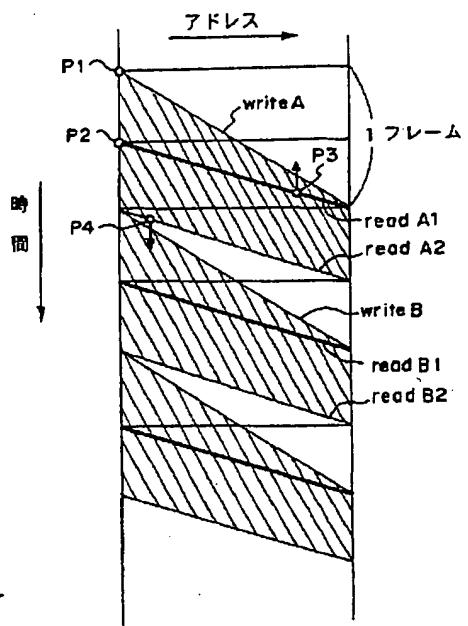
【符号の説明】

- 1 フレームメモリ
- 2 書き込み制御部
- 3 読み出し制御部
- 5 D/A変換器
- 6 正転反転駆動回路
- 7 液晶表示部
- 20 S1 映像入力信号
- S2 映像出力信号
- S3 垂直同期信号
- S4 書き込み制御信号
- S5 読み出し開始制御信号
- S6 読み出し制御信号
- S7 液晶表示信号
- S8 書き込み制御部から読み出し制御部への制御信号
- T1 垂直同期期間
- RD1, RD2, RD3, RD4 読み出し開始制御信号出力可能期間
- 30 号出力可能期間

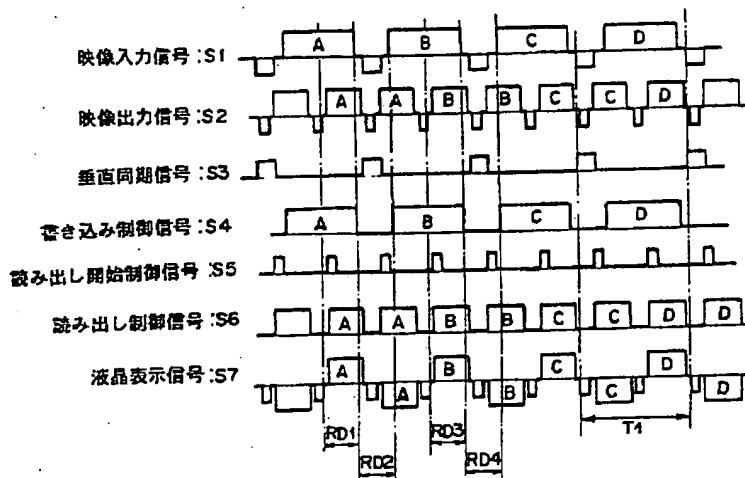
【図3】



【図5】



【図4】



【図6】

